

OPTICAL SEMICONDUCTOR DEVICE**Publication number:** JP3290606**Publication date:** 1991-12-20**Inventor:** YASUOKA NAMI; MAKIUCHI MASAO**Applicant:** FUJITSU LTD**Classification:**

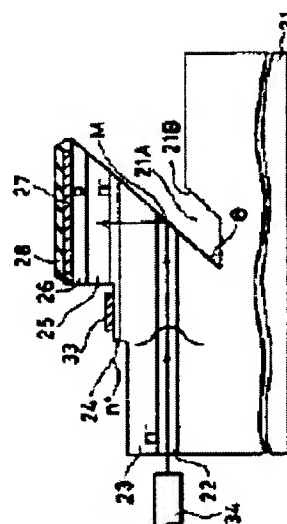
- International: **G02B6/42; G02B6/12; G02B6/122; H01L31/10; G02B6/42; G02B6/12; G02B6/122; H01L31/10; (IPC1-7): G02B6/12; G02B6/42; H01L31/10**

- European:

Application number: JP19900092048 19900409**Priority number(s):** JP19900092048 19900409[Report a data error here](#)**Abstract of JP3290606**

PURPOSE:To input sufficient signal light without long coupling length between a waveguide and a photodetector by providing a semiconductor light reception part above a specular surface formed in the optical waveguide, and reflecting the incident light by the specular surface to receive it.

CONSTITUTION:A waveguide core layer 22 and a clad layer 23 are formed on a semiconductor substrate 21, and an n<+>-type InGaAs electrode contact layer 24, an n-type InGaAs light absorption layer 25, and a p-type InP electrode contact layer 26 are laminated on the clad layer. The end on the side opposite to the light incidence side of the core layer 22 is eliminated to form a specular surface M, and the light made incident on the waveguide is reflected by the specular surface M and is made incident on a semiconductor photodetector layer. Therefore, a sufficient optical signal is inputted to the photodetector without long coupling length between the waveguide and the photodetector, and a high quantum efficiency is obtained by reflection of the specular surface M. Production is easy because special technique is unnecessary.



Data supplied from the **esp@cenet** database - Worldwide

18 Japan Patent Office
11 Laid-open Publication of Patent Application
12 Japanese Laid-open Patent Publication (A) No. HEI03-290606
51 Int.Cl.³
5 G02B 6/42
6/12
H01L 31/10
Identification Symbol
A
10 Interoffice Reference Number
7132-2K
7036-2K
7522-4M H01L 31/10
43 Date of Publication: December 20, 1991
15 Request for Examination: Not Requested
Number of Claims: 2
(Total 10 Pages)

34 TITLE OF THE INVENTION: Optical Semiconductor Device
20 21 APPLICATION NUMBER: HEI02-92048
22 APPLICATION DATE: April 9, 1990
72 INVENTOR: Nami YASUOKA, c/o Fujitsu Ltd. of 1015,
Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken, JAPAN
72 INVENTOR: Masao MAKIUCHI, c/o Fujitsu Ltd. of 1015,
25 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken, JAPAN
71 ASSIGNEE: Fujitsu Limited, 1015, Kamikodanaka, Nakahara-ku,
Kawasaki-shi, Kanagawa-ken, JAPAN
74 Agent: Patent Attorney Shoji KASHIWADANI et al. (one more)

30 SPECIFICATION
1. TITLE OF THE INVENTION
Optical Semiconductor Device

2. CLAIMS
35 1. An optical semiconductor device, comprising:

a waveguide core layer and a light confinement layer which are superimposed on a semiconductor substrate to constitute a waveguide;

5 a semiconductor light-receiving element layer superimposed on said light confinement layer; and

a mirror surface configured by removing the edge of said waveguide on the opposite side to a side on which a light is incident so as to form a surface inclined against said waveguide core layer for reflecting the light incident on said waveguide
10 in a direction toward said semiconductor light-receiving element layer.

2. An optical semiconductor device, comprising:

a waveguide core layer and a cladding layer which are superimposed on a semiconductor substrate to constitute a
15 waveguide;

a mirror surface configured by removing the edge of said waveguide on the opposite side to a side on which a light is incident so as to form a surface inclined against said waveguide core layer for reflecting the light incident on said waveguide
20 in a direction toward said cladding layer; and

a semiconductor light-receiving element fixed to a position where the light reflected on said mirror surface on said cladding layer can be received.

25 3. DETAILED DESCRIPTION OF THE INVENTION

[Summary]

The present invention relates to an optical semiconductor device suitable, for example, for constituting a coherent optical communication system,

30 the present invention being directed to being capable of inputting sufficient optical signals from a waveguide into a light-receiving element without making a coupling length of the waveguide with the light-receiving element long in the optical semiconductor device, and further becoming capable of
35 facilitating manufacturing thereof,

the present invention being configured so as to comprise:
a waveguide core layer and a light confinement layer which are
superimposed on a semiconductor substrate to constitute a
waveguide; a semiconductor light-receiving element layer
5 superimposed on the light confinement layer; and a mirror
surface configured by removing the edge of the waveguide on the
opposite side to a side on which a light is incident so as to
form a surface inclined against the waveguide core layer for
reflecting the light incident on the waveguide in a direction
10 toward the semiconductor light-receiving element layer, or
comprise: a waveguide core layer and a cladding layer which are
superimposed on a semiconductor substrate to constitute a
waveguide; a mirror surface configured by removing the edge of
the waveguide on the opposite side to a side on which a light
15 is incident so as to form a surface inclined against the
waveguide core layer for reflecting the light incident on the
waveguide in a direction toward the cladding layer; and a
semiconductor light-receiving element fixed to a position where
the light reflected on the mirror surface on the cladding layer
20 can be received.

[Industrial Applicability]

The present invention relates to an optical semiconductor
device suitable for use for example in constituting a coherent
optical communication system.

25 In the field of the communication technology, a current
objective has been to increase speed, and coherent optical
communication using an optical frequency modulation and phase
modulation has been considered as one of predominant means.

In the coherent optical communication, there is required
30 a semiconductor light-receiving element that has high quantum
efficiency, responses at high speed and inputs/outputs a large
amount of light, and particularly when improvement in
signal-to-noise ratio is intended by adopting a heterodyne
detection system, a balance-type receptor composed of two PIN
35 photodiodes is used, thereby requiring optical and electric

characteristics of these PIN photodiodes, namely semiconductor light-receiving elements, to be uniform in addition to the above-mentioned conditions, and for satisfying this requirement, it goes without saying that monolithic integration of the semiconductor light-receiving elements is effective, but integration also with an optical waveguide for inputting an optical signal into the light-receiving element, e.g. a semiconductor directional coupler, is preferable.
[Prior Art]

Although a technique of coupling an optical fiber with a semiconductor light-receiving element is currently in frequent use for inputting an optical signal into the semiconductor light-receiving element, in the case of using this technique, lights need to have the same phase at the portion where the optical fiber is coupled with the semiconductor light-receiving element and positioning of these to the order of two to three μm is thus necessary which requires a highly advanced technique.

In order to solve this problem, a technique of using a semiconductor light-receiving element and a semiconductor directional coupler has been proposed.

FIG. 24 shows a main part sectional side view for explaining a detector using evanescent coupling (evanescent detector).

In this figure, numeral 1 denotes an n-type semiconductor substrate, numeral 2 denotes a semiconductor waveguide layer, numeral 3 denotes an i-type light absorption layer, numeral 4 denotes a p-type semiconductor layer, numeral 5 denotes a p-side-electrode, numeral 6 denotes an n-side electrode, and numeral 7 denotes an optical fiber.

In this detector, the n-type semiconductor substrate 1, the i-type light absorption layer 3 and the p-type semiconductor layer 4 constitute a PIN photodiode, optical signals from the optical fiber 7 are inputted into the semiconductor waveguide layer 2, and optical signals leaked into the i-type light

absorption layer 3 while being propagated through the semiconductor waveguide layer 2 are detected.

FIG. 25 shows a main part sectional side view for explaining a butt coupled detector. The same numerals as those used in FIG. 24 represent the same portions or have the same meanings.

Also in this detector, the n-type semiconductor substrate 1, the i-type light absorption layer 3 and the p-type semiconductor layer 4 constitute a PIN photodiode, and optical signals from the optical fiber 7 are inputted into the semiconductor waveguide layer 2, propagated therethrough, and then directly inputted into the i-type light absorption layer 3.

[Problem That the Invention Is to Solve]

Since the optical coupling of the semiconductor waveguide layer 2 with the i-type light absorption layer 3 is weak in the detector using the evanescent coupling shown in FIG. 24, it is necessary to make a coupling length L long in order to sufficiently take optical signals. However, this makes it difficult to realize an optical semiconductor device with high quantum efficiency and low parasitic capacitance.

In the butt coupled detector shown in FIG. 25, the optical coupling of the waveguide layer 21 with the i-type light absorption layer 3 is sufficient and an optical semiconductor device with high quantum efficiency and low parasitic capacitance can be obtained, but such a device is extremely difficult to manufacture due to its complicated structure as also apparent from the figure.

The present invention is intended to allow inputting of sufficient optical signals from a waveguide into a light-receiving element without making the coupling length of the waveguide with the light-receiving element in the optical semiconductor device, and further to facilitate manufacturing of the optical semiconductor device.

[Means for Solving the Problem]

FIG. 1 shows a main part sectional side view of an optical semiconductor device for explaining a principle of the present invention.

In the figure, numeral 11 denotes a semiconductor substrate, numeral 12 denotes a semiconductor waveguide, numeral 13 denotes an i-type optical absorption layer, numeral 14 denotes an n-side electrode, numeral 15 denotes a p-side electrode, numeral 16 denotes a mirror surface, and numeral 17 denotes an optical fiber.

In this optical semiconductor device, a PIN photodiode is configured on the semiconductor waveguide 12, and as shown with an arrow, a light incident from the optical fiber 17 on the semiconductor waveguide 12 is propagated through the semiconductor waveguide 12 to reach the mirror surface 16, reflected there and then incident on the i-type optical absorption layer 13. It is to be noted that, after separately producing a waveguide and a PIN photodiode, those may be integrally coupled with each other while keeping a prescribed optical relation.

FIG. 2 shows an explanatory view for clarifying the relation between the incident light beam width and the reflected light beam width in the optical semiconductor device shown in FIG. 1, and the same numeral as used in FIG. 1 represents the same portion or has the same meaning.

In the figure, symbol d denotes an incident light beam width, symbol t denotes a reflected light beam width, and symbol θ denotes an angle of inclination of the mirror surface 16.

As apparent from the figure, $t = d \cdot \tan \theta$, and $t = d$ when $\theta = 45$ degrees, whereby it is theoretically possible to reduce the light absorption layer length (corresponding to the coupling length L) in the light-receiving element to the same degree as the incident light beam width d .

As thus described, the optical semiconductor device according to the present invention is configured so as to comprise: a waveguide core layer (e.g. waveguide core layer 22)

and a light confinement layer (e.g. cladding layer 23) which are superimposed on a semiconductor substrate (e.g. substrate 21) to constitute a waveguide; a semiconductor light-receiving element layer (e.g. n-type InGaAs electrode contact layer, n-type InGaAs light absorption layer 24, p-type InP electrode contact layer 25) which is superimposed on the light confinement layer; and a mirror surface (e.g. mirror surface M) configured by removing the edge of the waveguide on the opposite side to a side on which a light is incident so as to form a surface inclined against the waveguide core layer for reflecting the light incident on the waveguide in a direction toward the semiconductor light-receiving element layer, or comprise a waveguide core layer and a cladding layer (e.g. cladding layer 23) which are superimposed on a semiconductor substrate to constitute a waveguide; a mirror surface configured by removing the edge of the waveguide on the opposite side to a side on which a light is incident so as to form a surface inclined against the waveguide core layer for reflecting the light incident on the waveguide in a direction toward the cladding layer; and a semiconductor light-receiving element fixed to a position where the light reflected on the mirror surface on the cladding layer can be received.

[Function]

By taking the above-mentioned means, it is possible to input sufficient optical signals from the waveguide into the light-receiving element without making the coupling length of the waveguide with the light-receiving element long in the optical semiconductor device, so as to obtain high quantum efficiency due to reflection of a light by the mirror surface. Further, since no special technique is necessary in manufacturing this optical semiconductor device, it is possible to facilitate realization of the device, so as to simply perform inter-element separation and determination of element relative positions.

[Embodiment]

FIG. 3 shows a main part sectional side view of one embodiment of the present invention.

In the figure, numeral 21 denotes a semi-insulating InP substrate, symbol 21A denotes a groove used in formation of a mirror surface, symbol 21B denotes an inclined side wall, numeral 22 denotes a waveguide core layer composed of a semiconductor thin film laminated body, numeral 23 denotes an n-type InP cladding layer, numeral 24 denotes an n-type InGaAs electrode contact layer, numeral 25 denotes an n-type InGaAs light absorption layer, numeral 26 denotes a p-type InP electrode contact layer, numeral 27 denotes a p-side electrode, numeral 28 denotes an insulating film composed for example of Si_3N_4 , numeral 33 denotes an n-side electrode, numeral 34 denotes an optical fiber, symbol M denotes a mirror surface, and symbol θ denotes an angle formed by the mirror surface M against the waveguide core layer 22. It is to be noted that in the present embodiment, the n-type InGaAs electrode contact layer 24, the n-type InGaAs light absorption layer 25 and the p-type InP electrode contact layer 26 constitute a PIN photodiode, and the substrate 21, the waveguide core layer 22 and the cladding layer 23 constitute the waveguide.

In the present embodiment, an optical signal from the optical fiber 34 is incident on the waveguide core layer 22, propagated therethrough, reflected on the mirror surface M, and incident on the PIN photodiode.

In the present embodiment, the technique conventionally in frequent use can be applied to facilitate manufacturing of a device with favorable characteristics.

FIGS. 4 to 22 are views for explaining the case of manufacturing one embodiment of the present invention, FIGS. 4 to 6, 8, 10, 12, 14, 16, 18 and 20 each shows a main part sectional side view, FIGS. 7, 9, 11, 13, 15, 17, 19, 21 and 22 each shows a main part plan view, and in the following, descriptions are made with reference to these figures.

cf. FIG. 4

4-(1)

By application of metalorganic vapor phase epitaxy (MOVPE) method, on the semi-insulating InP substrate 21, the waveguide core layer 22 composed of a semiconductor thin film laminated body, the n-type InP cladding layer 23, the n-type InGaAs electrode contact layer 24, the n-type InGaAs light absorption layer 25 and the InP electrode contact layer 26, which is initially n-type, are grown.

Principal data regarding each of the semiconductor layers in this case are exemplified as follows:

1) Waveguide core layer 22

Material: InP/InGaAsP

Thickness: 1347 (Å) / 44 (Å)

Number of lamination: InP/InGaAsP × 25

λ_g : 1.13 (μm)

2) Cladding layer 23

Thickness: 6 (μm)

Impurity concentration: 1×10^{14} (cm⁻³) (undoped)

3) Electrode contact layer 24

Thickness: 0.5 (μm)

Impurity concentration: 1×10^{18} (cm⁻³)

4) Light absorption layer 25

Thickness: 2 (μm)

5) Electrode contact layer 26

Thickness: 1 (μm)

cf. FIG. 5

5-(1)

By application of thermal diffusion method using ZnP₂, Zn is doped to change the InP electrode contact layer 26 which was n-type at the time of growing, to p-type. It is to be noted that the type may be selectively changed to p-type.

Conditions in the thermal diffusion are exemplified as follows:

Impurity concentration: 1×10^{18} (cm⁻³)

Thermal treatment temperature: 500 (°C)

Thermal treatment time: 20 (minutes)

cf. FIGS. 6 and 7

6-(1)

5 By application of resist process, vacuum deposition method and lift-off method in photolithography technique, the p-side electrode 27 is formed in the PIN photodiode.

Principal data regarding the p-side electrode 27 is exemplified as follows:

10 Material: Au/Zn/Au

Thickness: 500 (Å) / 100 (Å) / 2500 (Å)

cf. FIGS. 8 and 9

8-(1)

15 By application of chemical vapor deposition (CVD) method, the insulating film 28 composed of Si_3N_4 with a thickness of, for example, the order of 1500 (Å) is formed.

8-(2)

20 By application of the resist process in photolithography technique and reactive ion etching (RIE) method where an etching gas is CF_4 , the insulating film 28 is patterned and covers the p-side electrode 27, and the insulating film 28 is removed while the pattern is left as a mask for etching a PIN photodiode portion.

8-(3)

25 By application of CVD method, an insulating film 29 composed of Si_3N_4 with a thickness of, for example, the order of 1000 (Å) is formed.

8-(4)

30 By application of resist process in photolithography technique and wet etching method using an etching solution composed of HF and NH_4F in the proportion of 1:50, the insulating film 29 is patterned and covers the PIN photodiode portion, and the insulating film 29 is removed while the pattern is left as a mask for etching a waveguide portion.

35 cf. FIGS. 10 and 11

10-(1)

By application of resist process in photolithography technique, a photoresist film 30 is formed which has an opening for forming a groove necessary for forming a mirror surface.

5 cf. FIGS. 12 and 13

12-(1)

By application of active reactive ion etching (ARIE) method where an etching gas is CCl_2F_2 , etching is performed so as to obtain the mirror surface M with an angle θ of inclination against the waveguide core layer 22 being 45 degrees.

10 cf. FIGS. 14 and 15

14-(1)

After removal of the photoresist film 30, a polyimide resin 31 is charged into the groove 21A for protecting the mirror surface M.

15

In order to charge this polyimide resin 31, spin coating method is applied to evenly apply the polyimide resin, followed by etching of the extra polyimide resin by means of oxygen plasma.

20 cf. FIGS. 16 and 17

16-(1)

By application of RIE method where an etching gas is SiCl_4 (Cl radical), etching is performed from the surface down to the substrate 21, using the insulating film 29 as the mask.

25 The polyimide resin 31 is not removed by this etching and thus remains as it is, whereby most thereof except for a portion under the PIN photodiode is exposed, and FIG. 17 shows by a symbol 31A the portion exposed on the face on the mirror surface M protected side.

30 cf. FIGS. 18 and 19

18-(1)

By application of immersion method where an etching solution of HF and NF_4F is prepared in the ratio of 1:50, the insulating film 29 used as the mask for etching the waveguide portion is removed.

35

18-(2)

By application of resist process in photolithography technique, a photoresist film 32 for patterning the PIN photodiode portion is formed.

5 18-(3)

By application of wet etching method where an etching solutions are $\text{HCl}:\text{H}_3\text{PO}_4$ (for InP) and $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ (for InGaAs), etching is performed from the electrode contact layer 26 that remains on the surface of the waveguide portion down to the cladding layer 23, using the photoresist film 32 as a mask. cf. FIGS. 20 and 21

20-(1)

After removal of the photoresist film 32, by application of wet etching method where etching solutions are $\text{HCl}:\text{H}_3\text{PO}_4$ (for InP) and $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ (for InGaAs), etching is performed from the electrode contact layer 26 down to the electrode contact layer 24, using the insulating film 28 covering the PIN photodiode portion as a mask.

In this case, the mirror surface M is in no danger of being damaged by this etching since being protected by the polyimide resin 31, but a protection film may be formed in a different portion where significant inconvenience may occur.

20-(2)

By application of resist process, vacuum deposition method and lift-off method in photolithography technique, an n-side electrode 33 is formed in the PIN photodiode.

Principal data regarding the n-side electrode 33 is exemplified as follows:

Material: AuGe/Au

30 Thickness: 500 (Å) / 1500 (Å)

cf. FIGS. 3 and 22

22-(1)

By application of etching method using oxygen plasma, the polyimide resin 31 is removed.

35 Thereby, part of the groove 21A is exposed again. It is

to be noted that the figure shows by symbol 21B the inclined side face of the groove 21A.

22-(2)

Subsequently, the substrate 21 is polished as necessary
5 to a thickness of, for example, the order of 200 μm , and cleaved to form a non-reactive coat film on the end face to be optically coupled with the optical fiber 34.

Other than the embodiment manufactured by taking the
above-mentioned processes, in order to protect the mirror
10 surface M, the waveguide portion and other portions, it is arbitrary for example to coat the surface by the polyimide resin so as to form a substantially one surface with the PIN photodiode portion, or to evaporate Au, for example, on the mirror surface M to form a mirror film, or to make θ larger than 45 degrees,
15 e.g. 55 degrees. With θ made large as thus described, there is an advantage in that, although the optical beam reflected on the mirror surface M expands, it becomes possible to apply wet etching method to etching at the time of producing the mirror surface M, so as to reduce etching time and thus facilitate
20 production. Further, although the semiconductor thin film laminated body was used for the waveguide core layer 22 in the above-mentioned embodiment, the present invention is not limited to this, but for example, an InGaAsP layer with a thickness of the order of 1 to 5 μm can also be used. In such
25 a case, the PIN photodiode portion may be composed of an n-type InP electrode contact layer with a thickness of for example 0.3 μm , an n-type InGaAs electrode light absorption layer with a thickness of for example 2 μm , and a p-type InP electrode contact layer with a thickness of for example 1 μm .

30 FIG. 23 shows a main part sectional side view for explaining another embodiment, and the same numerals as those used in FIGS. 3 and 22 represent the same portions or have the same meanings.

In the figure, numeral 35 denotes a conductive film,
35 numeral 36 denotes a bonding pad, numeral 37 denotes a PIN

photodiode, numeral 38 denotes a bump for flip chip bonding, numeral 39 denotes an adhesive agent, and numeral 40 denotes a conductive film.

5 In the present embodiment, the PIN photodiode 37 and the waveguide composed of the substrate 21, the waveguide core layer 22 and the cladding layer 23 are separately produced, and subsequently, the PIN photodiode 37 is bonded by means of flip chip bonding to the surface of the waveguide so as to receive a reflected light from the mirror surface M, and molded with
10 the adhesive agent 39, which is then covered with the conductive film 40.

In this case, an insulating adhesive agent having excellent light permeability is preferably used as the adhesive agent 39, e.g. an ultra violet ray curing type adhesive agent
15 (Light-Weld 300 series etc.), manufactured by TOYO INK MFG. CO., LTD., is suitable and the conductive film 40 covering the surface of the adhesive agent can be formed by application of an Ag paste or the like, which is advantageous for cutting off noise.

20 [Effects of the Invention]

In the optical semiconductor device according to the present invention, a semiconductor light receiving portion or a semiconductor light-receiving element is provided on a waveguide formed on the mirror surface at the edge of the side
25 opposite to the side on which a light is incident, so as to make the light incident on the waveguide reflected on the mirror surface to be incident on the light receiving portion or the light-receiving element.

By taking the above-mentioned configuration, it is
30 possible to input sufficient optical signals from the waveguide into the light-receiving element even without making the coupling length of the waveguide with the light-receiving element long in the optical semiconductor device, so as to obtain high quantum efficiency due to reflection of the light
35 by the mirror surface. Further, since no special technique is

necessary in manufacturing the device, it is possible to facilitate realization of the device, so as to simply perform inter-element separation and determination of element relative positions.

5

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a main part sectional side view of an optical semiconductor device for explaining a principle of the present invention;

10

FIG. 2 is an explanatory view for clarifying the relation between the incident light beam width and the reflected light beam width in the optical semiconductor device shown in FIG. 1;

15

FIG. 3 is a main part sectional side view of one embodiment according to the present invention;

FIGS. 4 to 22 are each a view for explaining the case of manufacturing one embodiment of the present invention;

FIGS. 4 to 6, 8, 10, 12, 14, 16, 18 and 20 are each a main part sectional side view;

20

FIGS. 7, 9, 11, 13, 15, 17, 19, 21 and 22 are each a main part plan view;

FIG. 23 is a main part sectional side view for explaining another embodiment; and

25

FIGS. 24 and 25 are each a main part sectional side view of a conventional example.

30

In the figures, numeral 21 denotes a semi-insulating InP substrate, symbol 21A denotes a groove used in formation of a mirror surface, symbol 21B denotes an inclined side wall, numeral 22 denotes a waveguide core layer composed of a semiconductor thin film laminated body, numeral 23 denotes an n-type InP cladding layer, numeral 24 denotes an n-type InGaAs electrode contact layer, numeral 25 denotes an n-type InGaAs light absorption layer, numeral 26 denotes a p-type InP electrode contact layer, numeral 27 denotes a p-side electrode, numeral 28 denotes an insulating film composed for example of

35

Si_3N_4 , numeral 33 denotes an n-side electrode, numeral 34 denotes an optical fiber, symbol M denotes a mirror surface, and symbol θ denotes an angle formed by the mirror M against the waveguide core layer 22.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-290606

⑬ Int. Cl.⁵

G 02 B 6/42
6/12
H 01 L 31/10

識別記号

A

庁内整理番号

7132-2K
7036-2K

⑭ 公開 平成3年(1991)12月20日

7522-4M H 01 L 31/10

A

審査請求 未請求 請求項の数 2 (全10頁)

⑮ 発明の名称 光半導体装置

⑯ 特 願 平2-92048

⑰ 出 願 平2(1990)4月9日

⑱ 発 明 者 安 岡 奈 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 牧 内 正 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 柏谷 昭司 外1名

明 細 書

1 発明の名称

光半導体装置

2 特許請求の範囲

- (1) 半導体基板上に積層されて導波路を構成する導波路コア層及び光閉じ込め層と、

該光閉じ込め層上に積層された半導体受光素子層と、

前記導波路に入射される光を前記半導体受光素子層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と

を備えてなることを特徴とする光半導体装置。

- (2) 半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層と、

該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面

と、

該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなることを特徴とする光半導体装置。

3 発明の詳細な説明

〔概要〕

例えばコヒーレント光通信システムを構成するのに用いて好適な光半導体装置に関し、

光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することが可能であって、しかも、容易に製造することができるようにすることを目的とし、

半導体基板上に積層されて導波路を構成する導波路コア層及び光閉じ込め層と、該光閉じ込め層上に積層されている半導体受光素子層と、前記導波路に入射される光を前記半導体受光素子層からなる各半導体層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構

成された鏡面とを備えてなるか、或いは、半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層と、該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と、該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなるよう構成する。

〔産業上の利用分野〕

本発明は、例えばコヒーレント光通信システムを構成するのに用いて好適な光半導体装置に関する。

現在、通信技術の分野では高速化が目標になっていて、光の周波数変調や位相変調を利用するコヒーレント光通信は有力な手段の一つと考えられている。

そのコヒーレント光通信では、量子効率が高く、応答が高速で、光入出力が大きい半導体受光素子が必要であって、特に、ヘテロダイン検波方式を

採ってS/Nを向上させようとする場合には、二個のpinフォト・ダイオードで構成したバランス型受信器を用いるので、これ等のpinフォト・ダイオード、即ち、半導体受光素子としては前記諸条件の他に光学的及び電氣的な特性が均一であることが必要になり、この要求を満足させるには、半導体受光素子をモノリシックに集積化することが有効であるのは勿論のこと、受光素子に光信号を入力するための光導波路、例えば半導体方向性結合器なども一体的に集積化することが好ましい。

〔従来の技術〕

現在、半導体受光素子に光信号を入力させるには、光ファイバと半導体受光素子とを結合して行う技術が多用されているが、この技術に依った場合、光ファイバと半導体受光素子との結合部分で光が同位相になっている必要があることから、それ等を2〜3(μm)オーダで位置合わせしなければならず、大変に高度な技術を要求される。

そこで、この問題を解消する為、半導体受光素

子と半導体方向性結合器を用いる技術が提案されている。

第24図はエバネッセント結合を用いたディテクタ(evanescent detector)を説明する為の要部切断側面図を表している。

図に於いて、1はn型半導体基板、2は半導体導波路層、3はi型光吸収層、4はp型半導体層、5はp側電極、6はn側電極、7は光ファイバをそれぞれ示している。

このディテクタでは、n型半導体基板1とi型光吸収層3とp型半導体層4とでpinフォト・ダイオードが構成されていて、光ファイバ7からの光信号が導波路層2に入力され、そこを伝播してゆく間にi型光吸収層3に漏れた光信号を検出するようにしている。

第25図はバット・カップルド・ディテクタ(butt coupled detector)を説明する為の要部切断側面図を表し、第24図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

このディテクタも、n型半導体基板1とi型光吸収層3とp型半導体層4とでpinフォト・ダイオードを構成してあり、光ファイバ7からの光信号は導波路層2に入力され、そこを伝播してi型光吸収層3に直接入るようになっている。

〔発明が解決しようとする課題〕

第24図に見られるエバネッセント結合を用いたディテクタでは、導波路層2とi型光吸収層3との光接合が弱いことから、光信号を充分に採り入れるには結合長を長くする必要がある。然しながら、そのようにしたのでは、高量子効率で、且つ、低寄生容量の光半導体装置を実現することは困難である。

第25図に見られるバット・カップルド・ディテクタでは、導波路層2とi型光吸収層3との光結合は充分であって、高量子効率で、且つ、低寄生容量の光半導体装置が得られるのであるが、図からも明らかなように、構造が複雑であることから製造が極めて困難である。

本発明は、光半導体装置に於ける導波路と受光

素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することが可能であって、しかも、容易に製造することができるようにしようとする。

(課題を解決するための手段)

第1図は本発明の原理を説明する為の光半導体装置の要部切断側面図を表している。

図に於いて、11は半導体基板、12は半導体導波路、13はi型光吸収層、14はn側電極、15はp側電極、16は鏡面、17は光ファイバをそれぞれ示している。

この光半導体装置では、導波路12上にpinフォト・ダイオードが構成されていて、光ファイバ17から導波路12に入射された光は、矢印で示してあるように、導波路12中を伝播して鏡面16に達し、そこで反射されてi型光吸収層13に入射するようになっている。尚、導波路とpinフォト・ダイオードとを別体で作成した後、所定の光学的関係を維持して、それ等を一体的に結合するようにしても良い。

p型InP電極コンタクト層25)と、前記導波路に入射される光を前記半導体受光素子層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面(例えば鏡面M)とを備えてなるか、或いは、半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層(例えばクラッド層23)と、該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と、該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなるよう構成する。

(作用)

前記手段を採ることに依り、光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することができ、そして、鏡面に依る光の反射で

第2図は第1図に見られる光半導体装置に於ける入射光ビーム幅と反射光ビーム幅との関係を明らかにする為の説明図を表し、第1図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、dは入射光ビーム幅、tは反射光ビーム幅、 θ は鏡面16の傾斜角度をそれぞれ示している。

図から明らかなように、 $t = d \cdot \tan \theta$ 、であり、 $\theta = 45^\circ$ のときに $t = d$ であって、理論的には、受光素子に於ける光吸収層長(結合長Lに相当)を入射光ビーム幅dと同程度まで小さくすることができる。

このようなことから、本発明の光半導体装置では、半導体基板(例えば基板21)上に積層されて導波路を構成する導波路コア層(例えば導波路コア層22)並びに光閉じ込め層(例えばクラッド層23)と、該光閉じ込め層上に積層された半導体受光素子層(例えばn⁺型InGaAs電極コンタクト層、n⁺型InGaAs光吸収層24、

高い量子効率を得ることが可能である。また、その製造に際しては、特殊な技術は不要であるから容易に実現することが可能であって、素子間分離や素子の相対的位置確定も簡単に行うことができる。

(実施例)

第3図は本発明一実施例の要部切断側面図を表している。

図に於いて、21は半導体性InP基板、21Aは鏡面を形成する際に用いた溝、21Bは傾斜した側壁、22は半導体薄膜積層体からなる導波路コア層、23はn⁺型InPクラッド層、24はn⁺型InGaAs電極コンタクト層、25はn⁺型InGaAs光吸収層、26はp型InP電極コンタクト層、27はp側電極、28は例えばSi₃N₄からなる絶縁膜、33はn側電極、34は光ファイバ、Mは鏡面、 θ は導波路コア層22に対して鏡面Mがなす角度をそれぞれ示している。尚、本実施例では、n⁺型InGaAs電極コンタクト層24及びn⁺型InGaAs光吸

収層25及びp型InP電極コンタクト層26でpinフォト・ダイオードを構成し、また、基板21及び導波路コア層22及びクラッド層23をもって導波路が構成されている。

本実施例に於いて、光ファイバ34からの光信号は導波路コア層22に入射されて伝播し、鏡面Mで反射されてpinフォト・ダイオードに入射するようになっている。

本実施例は、従来から多用されている技術を適用し、特性良好なものを容易に製造することができる。

第4図乃至第22図は本発明一実施例を製造する場合について説明する為の図であり、第4図乃至第6図、第8図、第10図、第12図、第14図、第16図、第18図、第20図は要部切断断面図、第7図、第9図、第11図、第13図、第15図、第17図、第19図、第21図、第22図は要部平面図をそれぞれ表し、以下、これ等の図を参照しつつ解説する。

② クラッド層23について

厚さ：6(μm)

不純物濃度： 1×10^{14} (cm⁻³)

(アン・ドーブ)

③ 電極コンタクト層24について

厚さ：0.5(μm)

不純物濃度： 1×10^{18} (cm⁻³)

④ 光吸収層25について

厚さ：2(μm)

⑤ 電極コンタクト層26について

厚さ：1(μm)

第5図参照

5-(1)

Zn₂P₃を用いた熱拡散法を適用することに依り、Znをドーピングすることで、成長時点に於いてはn⁻型であったInP電極コンタクト層26をp型化する。尚、このp型化は選択的に行っても良い。

この熱拡散に於ける諸条件を例示すると次の通りである。

第4図参照

4-(1)

有機金属気相堆積(metalorganic vapor phase epitaxy:MOVPE)法を適用することに依り、半絶縁性InP基板21上に

半導体薄膜積層体からなる導波路コア層22、n⁻型InPクラッド層23、

n⁻型InGaAs電極コンタクト層24、

n⁻型InGaAs光吸収層25、

当初はn⁻型になっているInP電極コンタクト層26をそれぞれ成長させる。

この場合に於ける各半導体層に関する主要なデータを例示すると次の通りである。

① 導波路コア層22について

材料：InP/InGaAsP

厚さ：1347(Å)/44(Å)

積層数：InP/InGaAsP×25

λ_g：1.13(μm)

不純物濃度： 1×10^{18} (cm⁻³)

熱処理温度：500(℃)

熱処理時間：20(分)

第6図及び第7図参照

6-(1)

フォト・リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、pinフォト・ダイオードに於けるp側電極27を形成する。

このp側電極27に関する主要なデータを例示すると次の通りである。

材料：Au/Zn/Au

厚さ：500(Å)/100(Å)/2500(Å)

第8図及び第9図参照

8-(1)

化学気相堆積(chemical vapor deposition:CVD)法を適用することに依り、Si₃N₄からなる厚さ例えば1500(Å)程度の絶縁膜28を形成する。

8-(2)

フォトリソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを CF_4 とする反応性イオン・エッチング(reactive ion etching:RIE)法を適用することに依り、絶縁膜28のパターニングを行って、p側電極27を覆い、且つ、pinフォト・ダイオード部分のエッチングを行うマスクとなるパターンを残して他を除去する。

B-(3)

CVD法を適用することに依り、 Si_3N_4 からなる厚さ例えば1000(Å)程度の絶縁膜29を形成する。

8-(4)

フォトリソグラフィ技術に於けるレジスト・プロセス及びエッチング液を $HF:NH_4F=1:50$ とするウェット・エッチング法を適用することに依り、絶縁膜29のパターニングを行って、pinフォト・ダイオード部分を覆い、且つ、導波路部分のエッチングを行うマス

クとなるパターンを残して他を除去する。

第10図及び第11図参照

10-(1)

フォトリソグラフィ技術に於けるレジスト・プロセスを適用することに依り、鏡面を形成するのに必要な溝を形成する為の開口をもつフォトリソレジスト膜30を形成する。

第12図及び第13図参照

12-(1)

エッチング・ガスを CCl_2F_2 とするARIE(active reactive ion etching)法を適用することに依り、導波路コア層22に対する傾斜角 θ が 45° である鏡面Mを得るためのエッチングを行って溝21Aを形成する。

第14図及び第15図参照

14-(1)

フォトリソレジスト膜30を除去してから、鏡面Mを保護する為、溝21A内にポリイミド樹脂31を充填する。

このポリイミド樹脂31を充填するには、スピン・コート法を適用してポリイミド樹脂を平坦に塗布し、その後、余分なポリイミド樹脂は酸素プラズマを利用してエッチングする。

第16図及び第17図参照

16-(1)

エッチング・ガスを $SiCl_4$ (Cl ラジカル)とするRIE法を適用することに依り、絶縁膜29をマスクとして表面から基板21に達するエッチングを行う。

このエッチングに依っては、ポリイミド樹脂31は除去されないで、そのまま残留することになり、従って、pinフォト・ダイオードの下になっている部分を除いては殆どが表出され、第17図には、鏡面Mを保護している側の面で表出されている部分を記号31Aで指示してある。

第18図及び第19図参照

18-(1)

エッチング液を $HF:NH_4F=1:50$ と

する浸漬法を適用することに依り、導波路部分のエッチングを行う為のマスクとして用いた絶縁膜29を除去する。

18-(2)

フォトリソグラフィ技術に於けるレジスト・プロセスを適用することに依り、pinフォト・ダイオード部分のパターニングをする為のフォトリソレジスト膜32を形成する。

18-(3)

エッチング液を
 $HCl:H_3PO_4$ (InP用)
 $H_2SO_4:H_2O_2:H_2O$ (InGaAs用)
 とするウェット・エッチング法を適用することに依り、フォトリソレジスト膜32をマスクとして導波路部分の表面に残っている電極コンタクト層26からクラッド層23に達するエッチングを行う。

第20図及び第21図参照

20-(1)

フォトリソレジスト膜32を除去してから、エ

エッチング液を

$\text{HCl} : \text{H}_2\text{PO}_4$ (InP用)

$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (InGaAs用)

とするウェット・エッチング法を適用することにより、pinフォト・ダイオード部分を覆っている絶縁膜28をマスクとして電極コンタクト層26から電極コンタクト層24に達するエッチングを行う。

この場合、鏡面Mはポリイミド樹脂31で保護されているので、このエッチングに依って、損傷を受ける虞はないが、他の部分で著しく不都合を生じるようなところには保護膜を形成すれば良い。

20-(2)

フォト・リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、pinフォト・ダイオードに於けるn側電極33を形成する。

このn側電極33に関する主要なデータを例示すると次の通りである。

反射膜を形成したり、或いは、 θ を 45° よりも大きくする、例えば、 55° にするなどは任意である。このように θ を大きくすると、鏡面Mで反射された光ビームは拡がってしまうが、鏡面Mを作成する際のエッチングにウェット・エッチング法を適用することができるようになり、その場合はエッチング時間が短くなって作成が容易となる旨の利点がある。また、前記した実施例では、導波路コア層22に半導体薄膜積層体を用いたが、これに限定されることなく、例えば、厚さが約 $1(\mu\text{m}) \sim 5(\mu\text{m})$ 程度のInGaAsP層を用いることもできる。その場合、pinフォト・ダイオード部分は、厚さ例えば $0.3(\mu\text{m})$ であるn⁺型InP電極コンタクト層、厚さ例えば $2(\mu\text{m})$ であるn⁻型InGaAs光吸収層、厚さ例えば $1(\mu\text{m})$ であるp⁺型InP電極コンタクト層で構成すると良い。

第23図は他の実施例を説明する為の要部切断側面図を表し、第3図乃至第22図に於いて用いた記号と阿記号は同部分を表すか或いは同じ意味

材料: AuGe/Au

厚さ: $500(\text{\AA}) / 1500(\text{\AA})$

第3図及び第22図参照

22-(1)

酸素プラズマを用いたエッチング法を適用することに依って、ポリイミド樹脂31を除去する。

これで、溝21Aの一部が再び露出される。尚、図には溝21Aに於ける傾斜した側面を記号21Bで指示してある。

22-(2)

この後、必要に応じて基板21を研磨し、厚さが例えば $200(\mu\text{m})$ 程度となるように薄くしてから劈開し、光ファイバ34と光学結合させるべき端面に無反射コート膜を形成する。

前記説明した工程を採って製造される実施例の他に、例えば、鏡面M、導波路部分、その他の部分を保護する為、表面がpinダイオード部分と略同一面になるようポリイミド樹脂でコートしたり、或いは、鏡面Mに例えばAuを蒸着させて光

を持つものとする。

図に於いて、35は導電膜、36はボンディング・パッド、37はpinフォト・ダイオード、38はフリップ・チップ・ボンディングの為のパンク、39は接着剤、40は導電膜をそれぞれ示している。

本実施例では、基板21、導波路コア層22、クラッド層23からなる導波路とpinフォト・ダイオード37を別個に作成し、後に、鏡面Mからの反射光を受光し得るようにpinフォト・ダイオード37を導波路の表面にフリップ・チップ・ボンディングし、接着剤39でモールドし、その上を導電膜40で覆っている。

この場合、接着剤39としては、光透過性に優れた絶縁性のものであることが好ましく、例えば、東洋インキ株式会社の製造に係わる紫外線硬化型接着剤(Light-Weid 300シリーズなど)が好適であり、また、その上を覆う導電膜40はAgペーストなどを塗布して形成することができ、このようにすると雑音を遮断するのに有

効である。

(発明の効果)

本発明に依る光半導体装置に於いては、光が入射される側と反対側の端に鏡面を形成した導波路上に半導体受光部分或いは半導体受光素子を設け、該導波路に入射される光を該鏡面で反射させ該受光部分或いは受光素子に入射させるようにしてある。

前記構成を採ることに依り、光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することができ、そして、鏡面に依る光の反射で高い量子効率を得ることが可能である。また、その製造に際しては、特殊な技術は不要であるから容易に実現することが可能であって、素子間分離や素子の相対的位置確定も簡単に行うことができる。

4 図面の簡単な説明

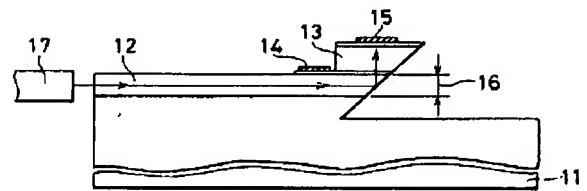
第1図は本発明の原理を説明する為の光半導体装置の要部切断側面図、第2図は第1図に見られ

る光半導体装置に於ける入射光ビーム幅と反射光ビーム幅との関係を明らかにする為の説明図、第3図は本発明一実施例の要部切断側面図、第4図乃至第22図は本発明一実施例を製造する場合について説明する為の図であって、第4図乃至第6図、第8図、第10図、第12図、第14図、第16図、第18図、第20図は要部切断側面図、第7図、第9図、第11図、第13図、第15図、第17図、第19図、第21図、第22図は要部平面図、第23図は他の実施例を説明する為の要部切断側面図、第24図及び第25図は従来例の要部切断側面図をそれぞれ表している。

図に於いて、21は半絶縁性InP基板、21Aは鏡面を形成する際に用いた溝、21Bは傾斜した側壁、22は半導体薄膜積層体からなる導波路コア層、23はn⁺型InPクラッド層、24はn⁺型InGaAs電極コンタクト層、25はn⁺型InGaAs光吸収層、26はp型InP電極コンタクト層、27はp側電極、28は例えばSi₃N₄からなる絶縁膜、33はn側電極、

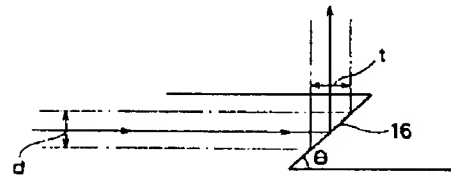
34は光ファイバ、Mは鏡面、 θ は導波路コア層22に対して鏡面Mがなす角度をそれぞれ示している。

特許出願人	富士通株式会社
代理人弁理士	柏谷昭司
代理人弁理士	渡邊弘一



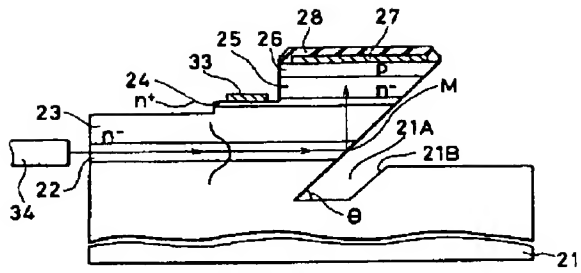
本発明の原理を説明する為の
光半導体装置の要部切断側面図

第1図



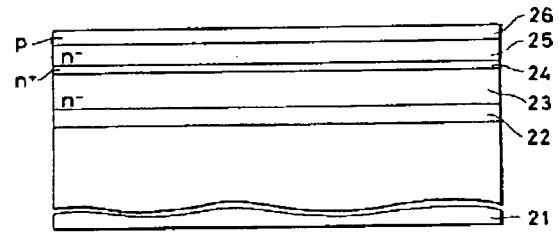
第1図に見られる光半導体装置に於ける入射光ビーム幅と
反射光ビーム幅との関係を明らかにする為の説明図

第2図



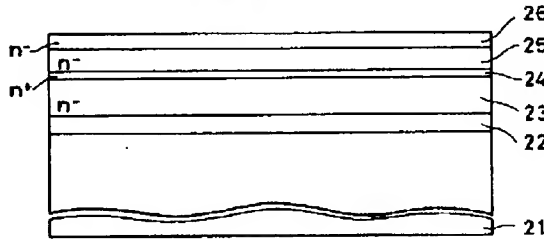
本発明実施例の要部切断面図

第3図



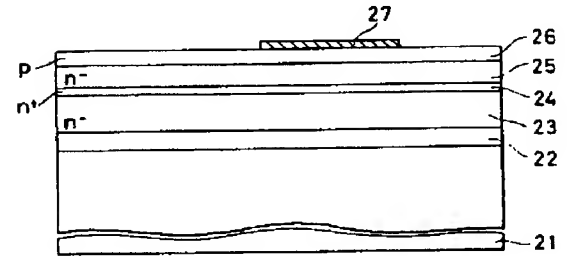
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断面図

第5図



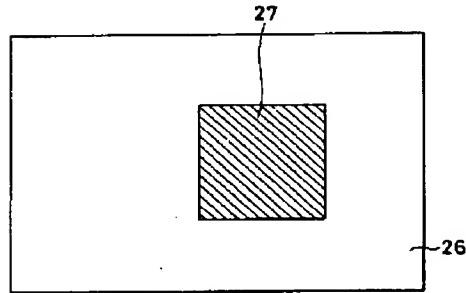
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断面図

第4図



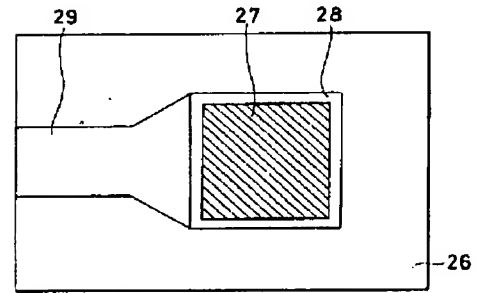
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断面図

第6図



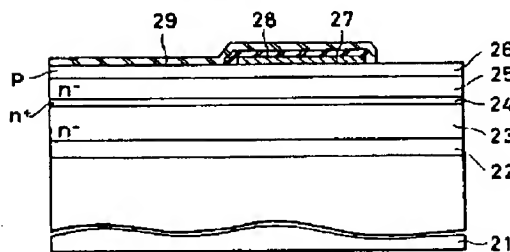
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第7図



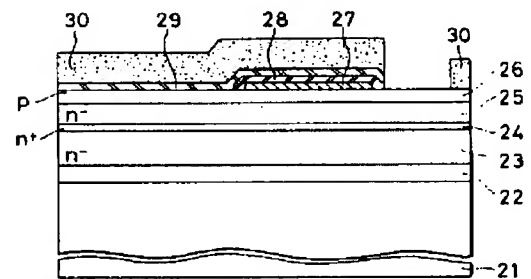
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第9図



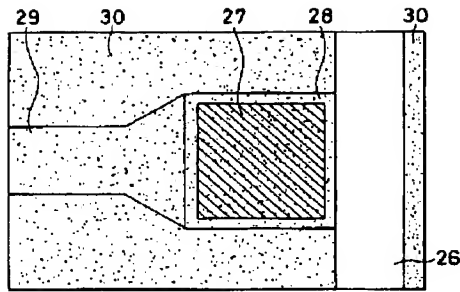
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断面図

第8図



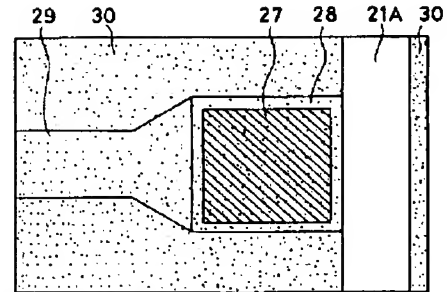
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断面図

第10図



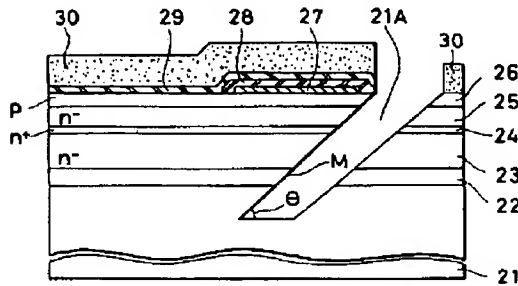
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部平面図

第11図



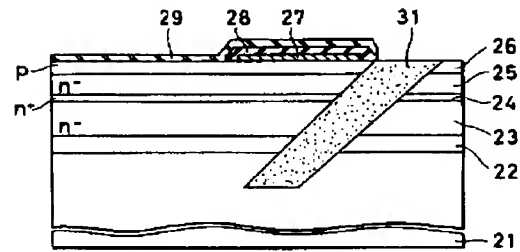
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部平面図

第13図



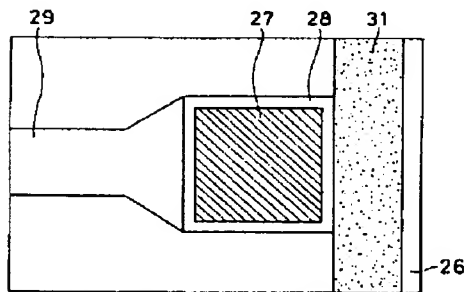
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部切斷面図

第12図



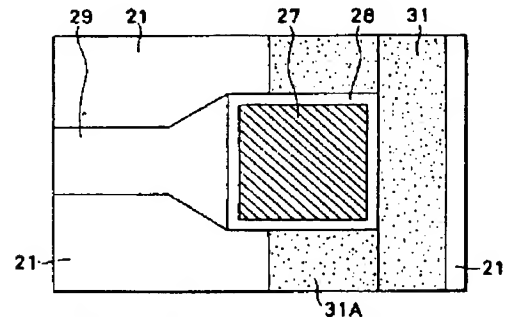
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部切斷面図

第14図



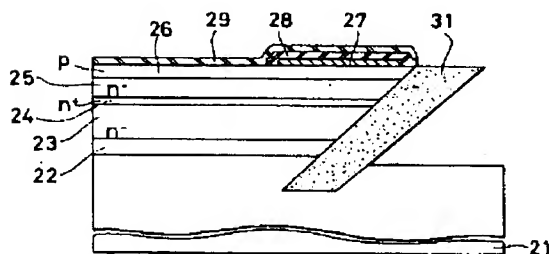
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部平面図

第15図



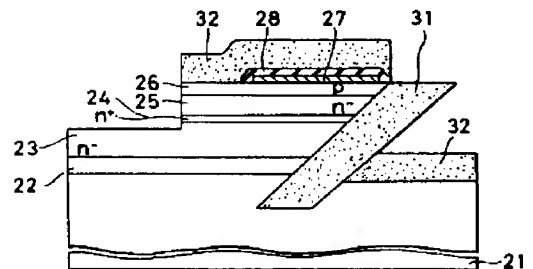
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部平面図

第17図



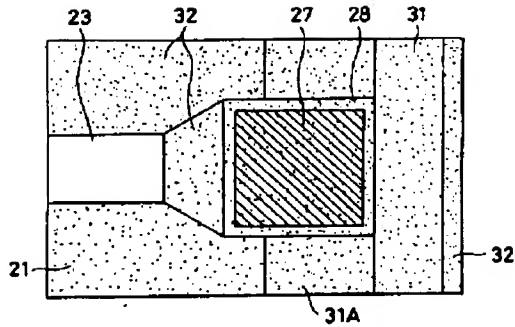
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部切斷面図

第16図



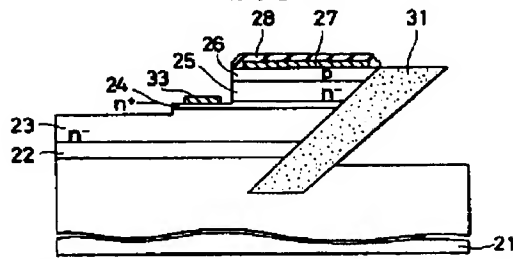
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部切斷面図

第18図



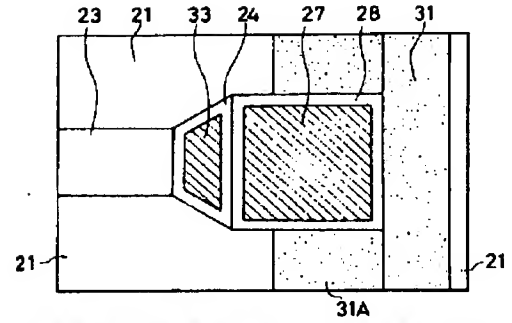
本発明実施例を製造する場合について説明するための
工程要所に於ける光半導体膜層の要部平面図

第 19 圖



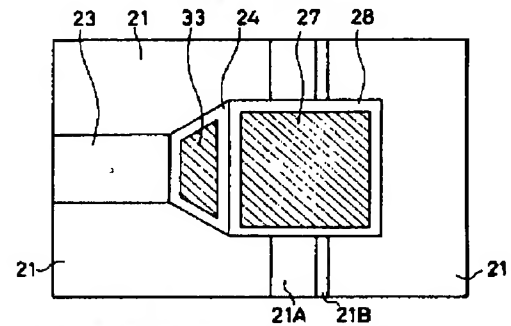
本発明実用例を製造する場合について説明するための
工程要所に於ける光半導体装置の要部切断断面図

第20圖



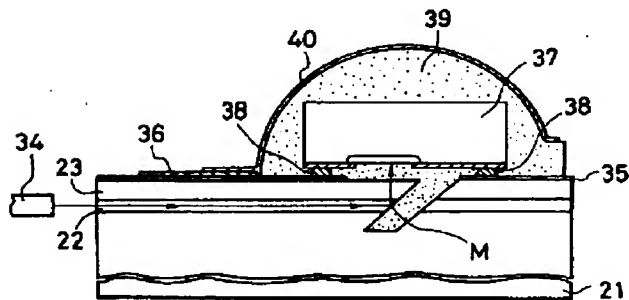
本発明実施例を製造する場合について説明するこのための工程要所に於ける光半導体装置の要部平面図

第21図



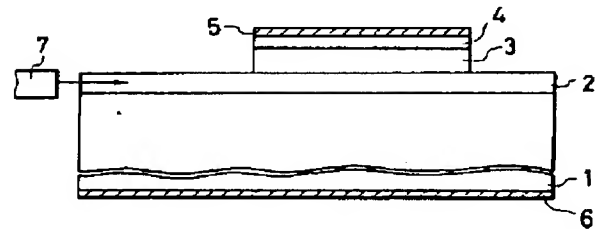
本発明実施例を製造する場合には、図1に示すように、
工程要所に於ける光半導体装置の要部平面図

第 22 圖



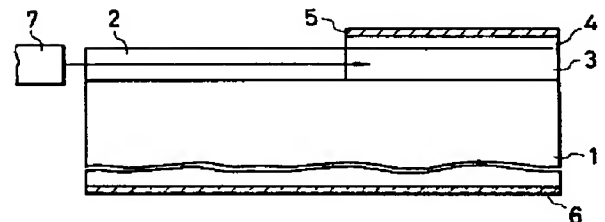
他の実施例を説明する為の要部切断側面図

第23図



従来例の要部切断側面図

第24図



従来例の要部切断側面図

第 25 図